



Attorney Docket No.: 5649-1224

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Kim et al.

Application Serial No.: 10/732,931

Filed: December 11, 2003

For: **METHODS OF FILLING GAPS BY DEPOSITION ON MATERIALS
HAVING DIFFERENT DEPOSITION RATES**

April 7, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

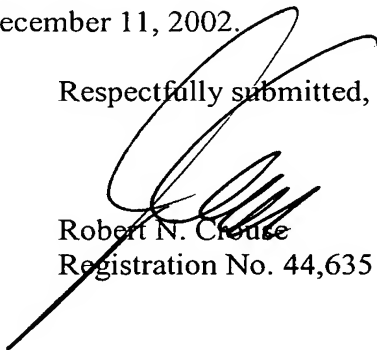
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0078779 filed December 11, 2002.


Respectfully submitted,


Robert N. Creuse
Registration No. 44,635

Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401
Customer No.: 20792

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner for Patents P.O. Box 1450, Alexandria, VA 22313-1450, on April 7, 2004.


Audra Wooten
April 7, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0078779
Application Number

출원 년 월 일 : 2002년 12월 11일
Date of Application DEC 11, 2002

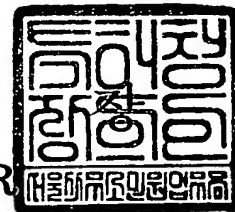
출원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 29 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2002.12.11
【발명의 명칭】	반도체 소자를 제조하기 위한 갭 필 방법
【발명의 영문명칭】	METHOD OF GAP-FILL FOR FABRICATING SEMICONDUCTOR DEVICES
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김홍근
【성명의 영문표기】	KIM,HONG GUN
【주민등록번호】	720520-1468417
【우편번호】	440-320
【주소】	경기도 수원시 장안구 율전동 현대아파트 307동 901호
【국적】	KR
【발명자】	
【성명의 국문표기】	나규태
【성명의 영문표기】	NA,KYU TAE
【주민등록번호】	650417-1052417
【우편번호】	140-031
【주소】	서울특별시 용산구 이촌1동 강촌아파트 105동 704호
【국적】	KR

【발명자】

【성명의 국문표기】 홍은기
 【성명의 영문표기】 HONG,EUN KEE
 【주민등록번호】 680730-1037419
 【우편번호】 442-707
 【주소】 경기도 수원시 팔달구 망포동 벽산아파트 110동 1901호
 【국적】 KR

【발명자】

【성명의 국문표기】 구주선
 【성명의 영문표기】 GOO, JU SEON
 【주민등록번호】 700412-2108813
 【우편번호】 442-470
 【주소】 경기도 수원시 팔달구 영통동 신나무실 주공아파트 515동 501호
 【국적】 KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)

【수수료】

【기본출원료】	12 면	29,000 원
【가산출원료】	0 면	0 원
【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	29,000 원	

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 소자를 제조하기 위한 갭 필 방법을 제공한다. 이 방법에 따르면, 반도체 기판에 갭영역을 갖는 패턴을 형성하고, 반도체 기판의 전면에 갭영역을 채우는 하부산화막을 형성한다. 하부산화막을 에치백 하여 갭영역의 하부에 하부산화막을 남긴다. 갭영역 하부에 잔존한 하부산화막 상에 선택적으로 상부산화막을 증착한다.

【대표도】

도 8

【명세서】**【발명의 명칭】**

반도체 소자를 제조하기 위한 갭 필 방법{METHOD OF GAP-FILL FOR FABRICATING SEMICONDUCTOR DEVICES}

【도면의 간단한 설명】

도 1 내지 도 3은 종래의 반도체 소자를 제조하기 위한 갭 필 방법을 나타낸 공정단면도들이다.

도 4 내지 도 8은 본 발명의 바람직한 실시예에 따른 갭 필 방법을 설명하기 위한 공정 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자의 제조방법에 관한 것으로써, 더 구체적으로 중횡비가 큰 갭영역 내에 절연막을 채우는 갭 필 방법에 관한 것이다.
- <4> 반도체 소자는 단위소자들간의 전기적 절연 및 다층배선 형성을 위하여 절연막 형성공정이 필수적이다. 반도체 소자를 구성하는 패턴들의 사이즈가 축소되고, 패턴들 사이의 간격이 좁아짐에 따라 패턴들 사이의 갭영역의 중횡비는 상대적으로 커지게된다. 갭영역의 중횡비가 크지면 갭영역 내에 절연막이 완전히 채워지지 않고, 보이드 또는 흠이 발생하여 반도체 소자에 바람직하지 못한 영향을 미치게될 수 있다.
- <5> 도 1 내지 도 3은 종래의 갭 필 방법을 나타낸 도면이다.

- <6> 도 1을 참조하면, 반도체 기판(10)에 갭영역(14)을 가지는 패턴들 형성한다. 상기 패턴들은 소자분리막을 위하여 반도체 기판에 형성된 트렌치, 게이트전극들 또는 배선들일 수 있다. 상기 패턴들이 트렌치이면 트렌치 자체가 갭영역에 해당하고, 게이트 전극들 또는 배선들이면 이들 사이의 공간이 갭영역(14)에 해당한다.
- <7> 도 2를 참조하면, 상기 갭영역(14)을 갖는 반도체 기판의 전면(10)에 상기 갭영역(14)을 채우는 절연막(18)을 형성한다. 최근에는 갭영역을 채우기 위한 절연막으로 갭 필 능력이 우수한 고밀도플라즈마산화막 및 USG막들이 적용되고 있으나, 종횡비가 8:1 이상인 갭영역에서는 도시된 것과 같이, 보이드(20a) 또는 홈(seam; 20b)이 발생될 수 있다.
- <8> 도 3을 참조하면, 보이드(20a) 또는 홈(20b)을 갖는 절연막(18)을 화학적기계적 연마법 또는 에치백공정을 이용하여 평탄화함으로써, 상기 갭영역(14)에 채워진 절연막을 형성한다. 상기 갭영역(14)에 형성된 보이드(20a) 또는 홈(20b)은 상기 절연막(18)을 평탄화하는 동안 표면으로 노출(20c)되어 후속공정에서 도전막 또는 오염원의 잔여물이 침적될 수 있다.

【발명이 이루고자 하는 기술적 과제】

- <9> 본 발명이 이루고자 하는 기술적 과제는 보이드 또는 홈을 형성하지 않고 갭영역 내에 절연막을 채울 수 있는 방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <10> 상기 기술적 과제를 달성하기 위하여 본 발명은 산화막 상에 선택적으로 다

른 산화막을 형성함으로써 껍영역을 효과적으로 채울 수 있는 껍 필 방법을 제공한다. 이 방법은 반도체 기판에 껍영역을 갖는 패턴을 형성하고, 상기 반도체 기판의 전면에 상기 껍영역을 채우는 하부산화막을 형성하는 것을 포함한다. 상기 하부산화막을 에치백 하여 상기 껍영역의 하부에 상기 하부산화막을 남긴다. 상기 껍영역 하부에 잔존한 상기 하부산화막 상에 선택적으로 상부산화막을 증착한다.

- <11> 본 발명의 일 양태에 따르면, 상기 상부산화막은 오존 및 TEOS(tetra ethoxy silane)을 소오스로 사용함으로써, 특정온도범위에서 상기 하부산화막 상에 선택적으로 증착할 수 있다.
- <12> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- <13> 도 4 내지 도 8은 본 발명의 바람직한 실시예에 따른 껍 필 방법을 설명하기 위한 공정 단면도들이다. 트렌치 소자분리막 형성공정을 대표적인 예로 들어 본 발명의 껍필 방법을 설명한다.
- <14> 도 4를 참조하면, 반도체 기판(50) 상에 하드마스크 패턴(52)을 형성하고, 상기 하드마스크 패턴(52)을 식각마스크로 사용하여 상기 반도체 기판(50)을 식각하여 트렌치(54)를 형성

한다. 상기 하드마스크 패턴(52)은 반도체 기판 상에 적층된 산화막 및 질화막이거나, 산화막, 폴리실리콘 및 질화막일 수 있다.

<15> 도 5를 참조하면, 상기 트렌치(54)가 형성된 반도체 기판의 전면에서 실리콘질화막 라이너(56)를 콘포말하게 형성하고, 상기 트렌치(54)를 채우는 하부산화막(58)을 상기 반도체 기판(50)의 전면에서 형성한다. 상기 라이너(56)를 형성하기 전에 상기 반도체 기판(50)에 열산화공정을 적용함으로써 상기 트렌치(54)의 내벽에서 트렌치 산화막을 더 형성할 수도 있다. 상기 하부산화막(58)은 SOG, USG 또는 HDP 등의 산화막으로 형성한다. 상기 트렌치(54)의 종횡비가 높기 때문에 상기 하부산화막(58)은 상기 트렌치(54) 내에 보이드(60a) 또는 홈(60b)를 형성할 수 있다.

<16> 도 6을 참조하면, 습식식각법 또는 건식식각법을 사용하여 상기 하부산화막(58)을 에치백하여 상기 트렌치(54)의 하부에 상기 하부산화막(58)을 잔존시킨다. 그 결과, 상기 반도체 기판의 표면은 상기 트렌치 바닥(54)에는 산화막(62)이 노출되고, 상기 트렌치 바닥(54)을 제외한 부분은 질화막이 노출된다.

<17> 도 7을 참조하면, 상기 트렌치(54) 하부에 잔존된 상기 하부산화막(58) 상에 선택적으로 상부산화막(64)을 형성한다. 상기 상부산화막(64)은 오존 및 TEOS를 소오스 가스로 사용하여 특정온도범위에서 증착할 경우 산화막 상에서 증착속도가 빠른 특성을 사용하여 형성한다. 상기 상부산화막(64)을 형성하기 위한 챔버분위기는 압력 200torr 내지 760torr이고, 온도 300℃ 내지 560℃인 것이 바람직하다. 또한, O₃는 유량 1리터 내지 18리터, 농도 1중량% 내지 18중량%로 공급하고, TEOS는 100sccm 내지 3000sccm으로 공급할 수 있다. 예컨대, 온도 430℃, 압력 600torr, TEOS 350sccm을 공급하였을 때, 산화막 상부 및 그외지역의 증착속도가 4:1정도인 것으로 나타났다.

- <18> 상기 트렌치(54)의 하부에 잔존하는 상기 하부산화막(62)의 두께는 갭영역의 종횡비에 따라 유동적으로 변할 수 있으나, 하부산화막(58)에 형성된 보이드(60a) 및 홈(60b)이 제거될 정도의 두께인 100Å 내지 3600Å 인 것이 바람직하다.
- <19> 도 8을 참조하면, 상기 반도체 기판(50) 상의 하드마스크 패턴(52) 및 상기 라이너(56)를 제거하여 상기 반도체 기판(50)의 상부면을 노출시키고, 상기 트렌치(54) 내에 적층된 하부산화막(62) 및 상부산화막(64)을 포함하는 소자분리막(66)을 형성한다.
- <20> 이상 트렌치 소자분리막의 형성과정을 통하여 본 발명의 특징을 설명하였으나, 본 발명은 종횡비가 큰 갭 영역을 절연막으로 채우는 모든 공정에 적용될 수 있다.

【발명의 효과】

- <21> 상술한 것과 같이, 본 발명에 따르면 산화막 상에 선택적으로 높은 증착속도를 보이는 증착방법을 사용하여 갭영역을 채움으로써, 종횡비가 큰 갭영역을 보이드나 홈을 형성하지 않고 채울 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판에 갭영역을 갖는 패턴을 형성하는 단계;

상기 반도체 기판의 전면에 상기 갭영역을 채우는 하부산화막을 형성하는 단계;

상기 갭영역의 하부에 상기 하부산화막이 잔존하도록 상기 하부산화막을 에치백하는 단계; 및

상기 갭영역 하부에 잔존한 상기 하부산화막 상에 선택적으로 상부산화막을 증착하는 단계를 포함하는 반도체 소자의 갭필 방법.

【청구항 2】

제1 항에 있어서,

상기 패턴을 형성하는 단계는,

반도체 기판 상에 상기 반도체 기판의 일부분을 노출시키는 하드마스크패턴을 형성하는 단계; 및

상기 하드마스크 패턴을 식각마스크로 사용하여 상기 반도체 기판을 식각하여 트렌치 영역을 형성하는 단계를 포함하는 반도체 소자의 갭필방법.

【청구항 3】

제1 항에 있어서,

상기 상부산화막은 압력 200torr내지 760torr, 온도 300℃내지 560℃인 챔버내부 분위기에서 O₃ 및 TEOS를 소오스가스로 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 갭필방법.

【청구항 4】

제3 항에 있어서,

O₃는 유량 1리터 내지 18리터, 농도 1중량% 내지 18중량%로 공급하고,

TEOS는 100sccm 내지 3000sccm으로 공급하는 것을 특징으로 하는 반도체 소자의 캡필방
법.

【청구항 5】

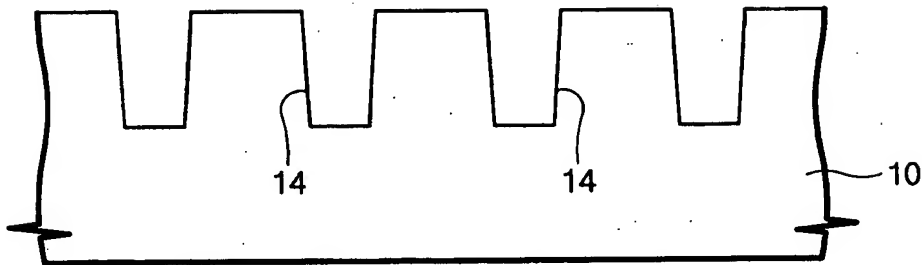
제1 항에 있어서,

상기 하부산화막은 상기 캡영역 내에 100Å 내지 3600Å의 두께로 잔존시키는 것을 특징
으로 하는 반도체 소자의 캡필방법.

【도면】

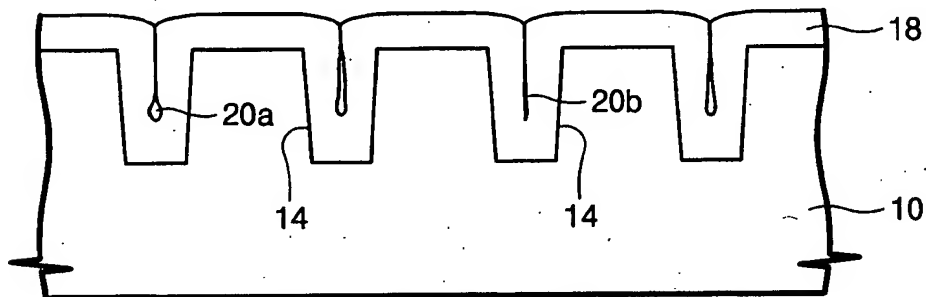
【도 1】

(종래 기술)



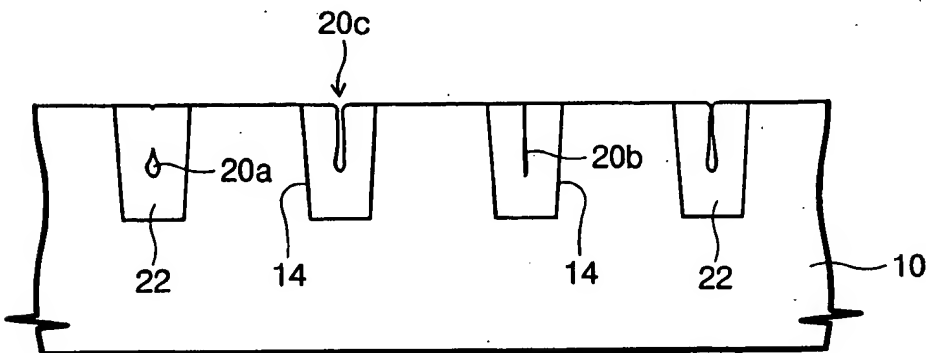
【도 2】

(종래 기술)

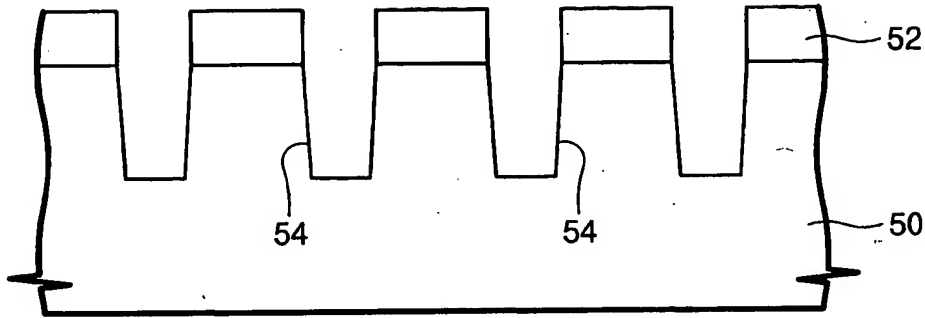


【도 3】

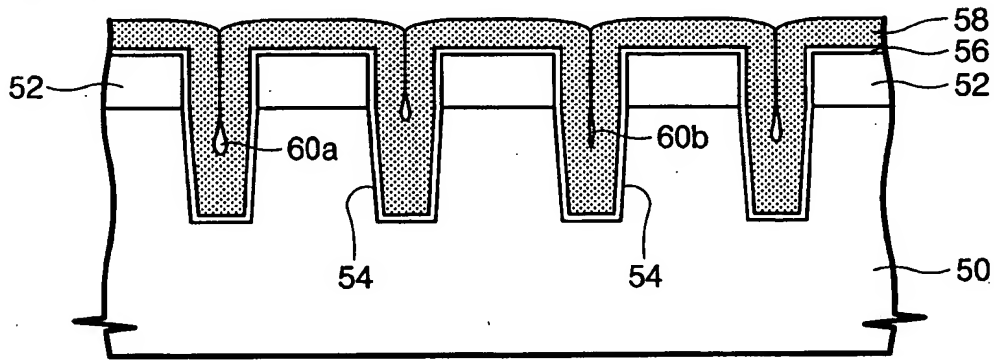
(종래 기술)



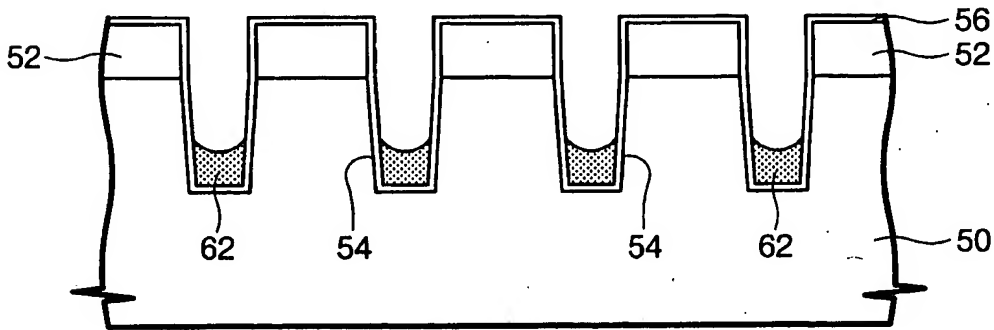
【도 4】



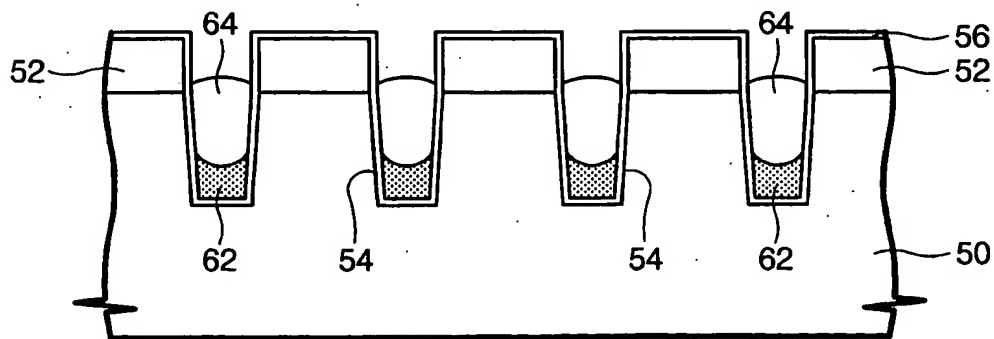
【도 5】



【도 6】



【도 7】



【도 8】

